

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 253/025

In re patent application of

Ju-Cheol SHIN, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD FOR FORMING A CONDUCTIVE FILM AND A CONDUCTIVE PATTERN OF A SEMICONDUCTOR DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA. 22313-1450

Sir:

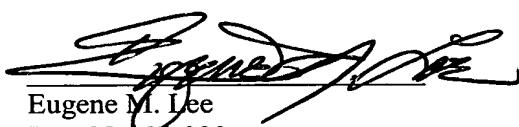
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-50198, filed August 23, 2002.

Respectfully submitted,

July 14, 2003  
Date

  
Eugene M. Lee  
Reg. No. 32,039  
Richard A. Sterba  
Reg. No. 43,162

LEE & STERBA, P.C.  
1101 Wilson Boulevard Suite 2000  
Arlington, VA 20009  
Telephone: (703) 525-0978

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2002년 제 50198 호  
Application Number PATENT-2002-0050198

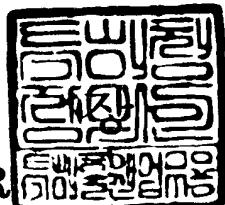
출원년월일 : 2002년 08월 23일  
Date of Application AUG 23, 2002

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 11 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.23
【발명의 명칭】	반도체 장치에서 도전막 형성 방법 및 도전성 패턴 형성 방법.
【발명의 영문명칭】	Method for forming an electric layer and an electric pattern in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	신주철
【성명의 영문표기】	SHIN,Ju Cheol
【주민등록번호】	700817-1069628
【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 105번지 사당우성아파트 304-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	이현덕
【성명의 영문표기】	LEE,Hyeon Deok
【주민등록번호】	610307-1024611
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104-603
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍미
【성명의 영문표기】	PARK,Hong Mi

【주민등록번호】	780730-2051711		
【우편번호】	449-901		
【주소】	경기도 용인시 기흥읍 농서리 산 24번지 여자기숙사 수선 화동 110동		
【국적】	KR		
【발명자】			
【성명의 국문표기】	박인선		
【성명의 영문표기】	PARK, In Sun		
【주민등록번호】	610515-1551717		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 519-206		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	28	면	28,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	24	항	877,000 원
【합계】	934,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

반도체 장치에서 도전막 및 도전성 패턴 형성 방법이 개시되어 있다. 표면이 산화되어 있는 텉스텐막이 형성되어 있는 반도체 기판을 질화시켜, 상기 표면에 노출되어 있는 텉스텐을 텉스텐 질화막으로 형성한다. 상기 텉스텐 질화막이 형성되어 있는 텉스텐 막 표면을 산화시켜, 상기 표면에 노출되어 있는 텉스텐 질화막을 텉스텐 산 질화막으로 형성한다. 상기 텉스텐 산 질화막을 제거하여, 표면에 산화된 텉스텐이 제거된 텉스텐 막을 형성한다.

**【대표도】**

도 3c

**【명세서】****【발명의 명칭】**

반도체 장치에서 도전막 형성 방법 및 도전성 패턴 형성 방법.{Method for forming an electric layer and an electric pattern in semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1b는 반도체 장치에서 종래의 텅스텐 패턴 형성 방법을 나타내는 단면도들이다.

도 2는 비정상으로 성장된 산화 텅스텐에 의해 텅스텐 패턴에 발생한 불량을 나타내는 단면도이다.

도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 도전막 형성 방법을 나타내는 단면도들이다.

도 4는 각 기판상에 형성된 막 내의 질소 원소의 분포를 확인한 그래프도이다.

도 5a 내지 도 5g는 본 발명의 제2 실시예에 따른 반도체 장치의 게이트 전극의 형성 방법을 나타내는 단면도들이다.

도 6a 내지 도 6g는 본 발명의 제3 실시예에 따른 반도체 장치의 도전성 구조물을 형성하는 방법을 나타내는 단면도들이다.

도 7a 내지 도 7e는 본 발명의 제4 실시예에 따른 반도체 장치의 도전성 패턴을 형성하는 방법을 나타내는 단면도들이다.

도 8a 내지 도 8f는 본 발명의 제5 실시예에 따른 반도체 장치의 도전성 구조물을 형성하는 방법을 나타내는 단면도들이다.

도 9는 본 발명의 방법에 따라 형성된 텅스텐막의 표면 반사 강도와 종래의 방법에 따라 형성된 텅스텐막의 표면 반사 강도를 비교하는 그래프도이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 반도체 기판

102 : 텅스텐막

104 : 텅스텐 산화물

106 : 텅스텐 질화막

108 : 텅스텐 산 질화막

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체 장치에서 도전막 및 도전성 패턴 형성 방법에 관한 것이다. 보다 상세하게는, 후속 공정에 의해 발생되는 불량이 감소되는 도전막 및 도전성 패턴의 형성 방법에 관한 것이다.

<15> 급속도로 발전하는 정보화 사회에 있어서, 대량의 정보를 보다 빠르게 처리하게 위해 고집적화된 반도체 장치가 요구되고 있다. 이에 따라, 반도체 장치에 포함되는 배선의 간격 및 배선들 사이의 간격 등도 더욱 미세해지고 있다. 상기 배선의 간격이 미세해짐에 따라, 상기 배선으로 형성되는 도전성 패턴이나 라인들의 저항이 현저하게 증가되고 있다. 따라서, 더욱 저저항을 갖는 도전 물질로서 반도체 장치의 배선을 형성하여야만 한다.

<16> 반도체 공정에서 초기 단계에 형성되는 도전성 패턴, 예컨대, 게이트 전극이

나 비트 라인은 저항이 비교적 높은 폴리실리콘이나 금속 실리사이드 물질로 형성하는 것이 일반적이었다. 그러나, 최근에는 상기 폴리실리콘이나 금속 실리사이드 물질보다 저저항을 가지면서, 안정적으로 공정을 수행할 수 있는 텅스텐을 사용하여 상기 도전성 패턴을 형성하는 공정이 개발되고 있다.

<17>      도 1a 내지 도 1b는 반도체 장치에서 종래의 텅스텐 패턴 형성 방법을 나타내는 단면도들이다.

<18>      도 1a를 참조하면, 반도체 기판(10)상에 텅스텐막을 형성한다. 이어서, 상기 텅스텐막 상에 포토레지스트 패턴(14)을 형성하고, 상기 포토레지스트 패턴(14)을 식각 마스크로하여 상기 텅스텐막을 식각하여 텅스텐 패턴(12)을 형성한다.

<19>      도 1b를 참조하면, 상기 텅스텐 패턴(12)상에 남아있는 포토레지스트 패턴(14)을 제거한다. 상기 포토레지스트 패턴(14)을 제거하는 공정은 통상의 에싱(ashing) 및 스트립(strip) 공정에 의해 수행할 수 있다. 그런데, 텅스텐은 산소와 빠르게 반응하는 특성이 있기 때문에, 상기 에싱 공정을 수행하는 중에 상기 노출되어 있는 텅스텐 패턴(12)의 측면 부위가 일부 또는 전부 산화되어, 텅스텐 산화물(16)이 형성된다.

<20>      상기 텅스텐 산화물(16)이 형성되어 있는 텅스텐 패턴(12)에, 계속하여 일련의 열처리 공정들을 진행하면, 상기 텅스텐 산화물은 주변의 산소와 반응하여 상기 텅스텐 패턴(12)의 측면으로부터 돌출되면서 비정상적으로 성장하게 된다. 그 결과, 도 2에 도시된 바와 같이, 상기 비정상으로 성장된 산화 텅스텐막(일명, 휀스커 whisker, 18)은 인접하는 텅스텐 패턴(12)의 측면들을 전기적으로 연결시켜 치명적인 동작 불량을 유발한다.

<21> 상기 불량을 방지하기 위한 방법으로서, 산화 텅스텐막을 유화 수소산 수용액을 이용하여 제거하는 방법의 일 예가 일본 공개 특허 평11-054510호에 개시되어 있다. 또한, 산화 텅스텐막을 유산과 과산화 수소수의 혼합액을 이용하여 제거하는 방법의 일 예가 일본 공개 특허 평12-022096호에 개시되어 있다. 그러나, 상기 산화 텅스텐막은 상기 식 각액에 의해서 완전히 제거되기가 어렵다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 본 발명의 제1 목적은 후속으로 일련의 열처리 공정을 수행하는 중에 불량의 발생이 최소화되는 도전막을 형성하는데 있다.

<23> 본 발명의 제2 목적은 후속으로 일련의 열처리 공정을 수행하는 중에 불량의 발생이 최소화되는 도전성 패턴을 형성하는데 있다.

#### 【발명의 구성 및 작용】

<24> 상기한 제1 목적을 달성하기 위하여 본 발명은,

<25> i) 표면이 산화되어 있는 텅스텐막이 형성되어 있는 반도체 기판을 질화시켜, 상기 표면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

<26> ii) 상기 텅스텐 질화막이 형성되어 있는 텅스텐막 표면을 산화시켜, 상기 표면에 노출되어 있는 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

<27> iii) 상기 텅스텐 산 질화막을 제거하여, 표면에 산화된 텅스텐이 제거된 텅스텐막을 형성하는 단계를 수행하여 반도체 장치에서 도전막을 형성한다.

<28> 상기한 제2 목적을 달성하기 위하여 본 발명은,

<29> i) 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막을 증착하는 단계;

<30> ii) 상기 도전막 상에 포토레지스트 패턴을 형성하는 단계;

<31> iii) 상기 포토레지스트 패턴을 식각 마스크로하고, 상기 도전막을 식각하여 도전성 패턴을 형성하는 단계;

<32> iv) 상기 도전성 패턴의 표면이 산화되면서, 상기 포토레지스트 패턴을 제거하는 단계;

<33> v) 상기 표면이 산화되어 있는 도전성 패턴을 질화시켜, 상기 도전성 패턴 표면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

<34> vi) 상기 텅스텐 질화막이 표면에 형성되어 있는 도전성 패턴을 산화시켜, 상기 표면에 노출되어 있는 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

<35> vii) 상기 텅스텐 산 질화막을 제거하여, 표면에 산화된 텅스텐이 제거된 도전막을 형성하는 단계를 수행하여 반도체 장치에서 도전성 패턴을 형성한다.

<36> 상기한 제2 목적을 달성하기 위하여 본 발명은,

<37> i) 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막을 증착하는 단계;

<38> ii) 상기 도전막 상에 포토레지스트 패턴을 형성하는 단계;

<39> iii) 상기 포토레지스트 패턴을 식각 마스크로하고 상기 도전막을 식각하여, 상부에 포토레지스트 패턴이 개재되어 있는 도전성 패턴을 형성하는 단계;

<40> iv) 상기 도전성 패턴을 질화시켜, 상기 도전성 패턴의 측면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

<41> v) 상기 도전성 패턴 상부에 개재되어 있는 포토레지스트 패턴을 산소를 포함하는 가스를 사용하여 제거하고, 동시에 상기 표면에 노출된 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

<42> vi) 상기 텅스텐 산 질화막을 제거하여, 표면에 형성되어 있는 산화물이 제거된 도전성 패턴을 형성하는 단계를 수행하여 반도체 장치에서 도전성 패턴을 형성할 수도 있다.

<43> 상기 과정을 통해 형성되는 도전막의 표면에는 산화된 텅스텐이 전혀 존재하지 않는다. 때문에, 상기 도전막의 표면 산화로 인해 상기 도전막의 저항이 증가되는 것을 방지할 수 있다. 또한, 후속으로 일련의 열처리 공정이 수행하더라도 상기 도전막의 측면으로 산화 텅스텐막이 비정상적으로 성장하지 않아서, 반도체 장치의 불량을 감소시킬 수 있다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<45> 실시 예1

<46> 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 도전막 형성 방법을 나타내는 단면도들이다.

<47> 도 3a를 참조하면, 반도체 기판(100) 상에 텅스텐막(102)을 형성한다. 이 때, 상기 텅스텐막(102)의 표면의 일부 또는 전부에는 텅스텐과 산소가 반응하여 생성되는 텅스텐 산화물(104)이 형성되어 있다.

<48> 도 3b를 참조하면, 상기 텅스텐 산화물(104)이 형성되어 있는 상기 텅스텐막(102)을 질화 처리하여, 상기 텅스텐막(102)의 표면을 텅스텐 질화막(106,  $WN_x$ )으로 형성한다. 상기 질화 처리는 통상의 급속 열적 질화((Rapid Thermal Nitridation) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정에 의해 수행할 수 있다. 좀 더 상세하게 설명하면, 상기 급속 열적 질화 공정의 경우,  $NH_3$ ,  $NF$  및  $N_2$  중 적어도 하나의 가스를 사용하여, 500 내지 800°C의 온도 및 1 내지 2Torr의 압력하에서 20 내지 200초 동안 수행할 수 있다. 또한, 상기 플라즈마 공정의 경우,  $NH_3$ ,  $NF$  및  $N_2$  중 적어도 하나의 가스를 사용하고, 200 내지 1000W의 에너지를 가하여 수행할 수 있다. 그러나, 상기 질화 처리의 조건은 초기에 상기 텅스텐막 표면에 형성되어 있는 텅스텐 산화물의 두께와 공정이 완료되었을 때 최종적으로 남아있어야 하는 텅스텐막의 두께 등에 따라 유동적으로 변화될 수 있다.

<49> 도 3c를 참조하면, 표면에 텅스텐 질화막(106)이 형성되어 있는 상기 텅스텐막(102)을 산화시켜, 상기 텅스텐 질화막(106)을 텅스텐 산 질화막(108,  $WO_xNy$ )으로 형성한다. 상기 산화 처리는 통상의 급속 열적 산화(Rapid Thermal Oxidation) 공정 또는 플라즈마 공정에 의해 수행할 수 있다. 상기 산화 처리에 의해, 표면에 텅스텐 질화막(106)에 포함되는 질소 원소가 확산되면서, 상기 텅스텐막(102) 표면으로부터 일정 두께 만큼 텅스텐 산 질화막(108)이 형성된다.

<50> 도 4는 상기 산화 처리 시에 상기 질소 원소가 막의 내부로 확산되는 것을 보여주는 그래프도이다.

<51> 구체적으로, 도 4는 각 기판상에 텅스텐막을 증착하고, 각 기판마다 질화 공정 및 산소 플라즈마 에싱 공정을 수행한 후, 형성되는 막의 표면으로부터 질소 원소의 분포를

확인하여 그래프로 나타내었다. 또한, 상기 막 내에서의 원소 분석은 전자선을 물질의 표면에 조사하였을 때 방출되는 Auger 전자를 검출하여 물질의 원소를 분석하는 AES(Auger Electron Spectroscopy)에 의해 수행하였다.

<52> 도 4의 도면 부호에 대해 설명한다. 도면 부호 200은 텅스텐을 증착한 직후의 질소 원자 분포이다. 도면 부호 202 및 204는 텅스텐막 상에  $\text{NH}_3$ 를 반응 가스로 사용하고, 각각 300 및 400W의 에너지를 가하는 플라즈마 공정을 수행한 이 후의 질소 원자 분포이다. 도면 부호 206 및 208는 텅스텐막 상에  $\text{NH}_3$ 를 반응 가스로 사용하고, 각각 300 및 400W의 에너지를 가하는 플라즈마 공정을 수행하고, 이어서 산소 플라즈마에 의한 예싱 공정을 수행한 이 후의 질소 원자 분포이다. 또한, 도면부호 210은 텅스텐막을 증착한 후, 플라즈마 공정을 생략하고, 산소 플라즈마에 의한 예싱 공정을 수행한 이 후의 질소 원자 분포이다.

<53> 텅스텐막을 증착하고 난 직후에 상기 질소 원자의 분포(200)를 살펴보면, 상기 질소 원자는 상기 텅스텐막의 표면 근방에만 아주 작은 비율로 존재한다. 그러나, 상기 증착된 텅스텐막에  $\text{NH}_3$ 를 반응 가스로 사용하고, 300 및 400W의 에너지를 가하는 플라즈마 공정을 각각 수행하고 난 후(202, 204)에는, 상기 질소 원자는 상기 막의 표면 부위에 집중적으로 분포하고 있음을 알 수 있다. 또한, 상기  $\text{NH}_3$ 를 반응 가스로 하고, 300 및 400W의 에너지를 가하는 플라즈마 공정을 각각 수행하고, 이어서 산소 플라즈마에 의한 예싱 공정을 수행한 후(206, 208)에는, 상기 막의 표면에서 일정 두께까지 상기 질소 원자들이 분포되어 있다. 또한, 상기  $\text{NH}_3$ 를 반응 가스로 사용하는 질화 처리를 수행하지 않고 예싱 공정만 수행한 후에는(210), 상기 막 내에 질소 원자들이 거의 존재하지 않았다.

<54> 상기 그래프도에 의하면, 상기 텡스텐 막에 질화 처리하면 상기 막의 표면에 집중적으로 질소 원자들이 존재하다가(202, 204 참조), 상기 산소를 수반하는 예상 공정 시에 막 내로 확산됨으로서 상기 텡스텐막 표면으로부터 일정 두께만큼 텡스텐 산 질화막이 형성되는 것을 확인할 수 있다.(206, 208 참조)

<55> 도 3d를 참조하면, 상기 텡스텐막(102) 표면에 형성되어 있는 상기 텡스텐 산 질화막(108)은 식각액을 사용하여 제거한다. 상기 식각액은 실리콘 산화막을 식각할 수 있는 식각액이면 가능하다. 상기 식각액의 일 예로서, 불산 수용액, 불산 및 과산화수소수의 혼합 용액을 들 수 있다. 상기 텡스텐 산 질화막을 식각하기 위한 식각액의 일 예는 미합중국 특허 제6,358,788호에도 개시되어 있다.

<56> 발명자들이 투과 전자 현미경(TEM)에 의해 상기 텡스텐 산 질화막 및 산화 텡스텐 막을 확인한 결과, 상기 텡스텐 산 질화막이 상기 산화 텡스텐막에 비해 다공성 구조를 가지고 있는 것으로 확인되었다. 때문에, 상기 산화 텡스텐막의 경우는 상기 식각액에 의해 거의 제거되지 않지만, 상기 텡스텐 산 질화막의 경우 결합 상태가 불안정하여 상기 식각액에 의해 용이하게 제거된다. 또한, 상기 식각액을 사용할 경우, 상기 텡스텐 산 질화막 하부의 텡스텐막은 거의 식각되지 않는다. 때문에, 상기 텡스텐막이 손상되지 않으면서, 표면에 형성된 원치않는 막들을 제거할 수 있다.

<57> 실시 예 2

<58> 도 5a 내지 도 5g는 본 발명의 제2 실시예에 따른 반도체 장치의 게이트 전극의 형성 방법을 나타내는 단면도들이다.

<59> 도 5a를 참조하면, 반도체 기판(300)상에 게이트 산화막(302)과 텅스텐을 주성분으로 하는 도전막을 순차적으로 증착한다. 상기 텅스텐을 주성분으로 하는 도전막은 텅스텐막 및 텅스텐 실리사이드막을 포함한다. 이하에서는, 상기 텅스텐을 주성분으로 하는 도전막을 텅스텐막으로 한정하여 설명한다. 텅스텐막(304)은 스퍼터링 방식 또는 화학 기상 증착 방식에 의해 형성할 수 있다. 또한, 도시하지는 않았지만, 상기 게이트 산화막(302) 및 텅스텐막(304) 사이에 폴리실리콘막을 더 형성할 수도 있다.

<60> 도 5b를 참조하면, 상기 텅스텐막(304)상에 포토레지스트 패턴(306)을 형성한다. 상기 포토레지스트 패턴(306)은 구체적으로, 상기 텅스텐막(304)상에 포토레지스트를 코팅하고, 게이트 전극이 형성되어야 하는 부위를 선택적으로 마스킹한 후, 노광 및 현상 공정을 수행하여 형성할 수 있다.

<61> 도 5c를 참조하면, 상기 포토레지스트 패턴(306)을 식각 마스크로하고, 상기 텅스텐막(304) 및 게이트 산화막(302)을 순차적으로 식각하여 게이트 산화막 패턴(302a) 및 텅스텐 패턴(304a)이 적층된 게이트 구조물(305)을 형성한다.

<62> 도 5d를 참조하면, 상기 텅스텐 패턴(304a)상에 남아있는 포토레지스트 패턴(306)을 제거한다. 상기 포토레지스트 패턴(306)을 제거하는 공정을 개략적으로 설명한다.

<63> 우선, 상기 포토레지스트 패턴(306)이 형성되어 있는 반도체 기판(300)을 약 250°C로 예비 베이킹한다. 이어서, 산소 플라즈마를 이용하는 화학적 애싱 방법으로 상기 기판 상의 포토레지스트 패턴(306)을 제거한다. 상기 애싱 공정은 경우에 따라 1회 이상 수행할 수 있다. 이어서, 상기 염소(Cl) 또는 불소(F)와 같은 식각 기체를 사용하거나 황산(H<sub>2</sub>SO<sub>4</sub>)을 사용하여 포토레지스트 스트립(strip) 공정을 추가적으로 진행한다. 상기 스트립 공정에 의해 포토레지스트 등의 잔류물을 완전하게 제거한다.

<64> 그런데, 상기 포토레지스트 패턴(306)을 제거하는 공정을 수행할 때, 상기 텅스텐 패턴(304a)의 측면 부위는 외부에 노출되어 있다. 때문에, 상기 설명한 포토레지스트 패턴(306)의 제거 공정을 수행하는 중에, 상기 노출된 텅스텐은 산소와 쉽게 반응하게 되고, 이에 따라 상기 텅스텐 패턴(304a)의 표면에는 원치않는 텅스텐 산화물(308)이 형성된다. 즉, 상기 공정을 수행한 결과, 표면에 원치않는 텅스텐 산화물(308)이 상기 텅스텐 패턴의 측면에 부분적 또는 전체적으로 형성된다.

<65> 도 5e를 참조하면, 텅스텐 산화물(308)이 표면에 형성되어 있는 상기 텅스텐 패턴(304a)을 포함하는 상기 반도체 기판을 질화 처리하여, 상기 텅스텐 패턴(304a)의 표면을 텅스텐 질화막(310)으로 형성한다. 상기 질화 처리는 통상의 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정에 의해 수행할 수 있다. 좀 더 상세하게 설명하면, 상기 급속 열적 질화 공정의 경우,  $\text{NH}_3$ ,  $\text{NF}$  및  $\text{N}_2$  중 적어도 하나의 가스를 사용하여, 500 내지  $800^\circ\text{C}$ 의 온도 및 1 내지 2Torr의 압력하에서 20 내지 200초 동안 수행할 수 있다. 또한, 상기 플라즈마 공정의 경우,  $\text{NH}_3$ ,  $\text{NF}$  및  $\text{N}_2$  중 적어도 하나의 가스를 사용하고, 200 내지 1000W의 에너지를 가하여 수행할 수 있다. 그러나, 상기 질화 처리의 공정 조건은 기존에 상기 텅스텐막 표면에 형성되어 있는 텅스텐 산화물의 두께와 공정이 완료되었을 때 최종적으로 남아있어야 하는 텅스텐막의 두께 등에 따라 유동적으로 변화될 수 있다.

<66> 도 5f를 참조하면, 상기 표면에 텅스텐 질화막(310)이 형성되어 있는 상기 텅스텐 패턴(304a)을 포함하는 상기 반도체 기판을 산화시켜, 상기 텅스텐 패턴의 표면으로부터 일정 두께만큼 텅스텐 산 질화막(312,  $\text{WO}_x\text{Ny}$ )으로 형성한다. 상기 산화 처리는 통상의 급속 열적 산화(RTO) 공정 또는 플라즈마 공정에 의해 수행할 수 있다.

<67> 도 5g를 참조하면, 상기 텅스텐 패턴(304a)의 표면으로부터 일정 두께만큼 형성되어 있는 상기 텅스텐 산 질화막(312)을 식각액을 사용하여 제거한다. 상기 식각액은 실리콘 산화막을 식각할 수 있는 식각액이면 가능하다. 상기 식각액의 일 예로서, 불산 수용액, 불산 및 과산화수소수의 혼합 용액을 들 수 있다. 상기 식각액을 사용할 경우, 상기 텅스텐 산 질화막(312) 하부의 텅스텐 패턴(304a)은 거의 식각되지 않으면서, 표면에 형성된 원치않는 막들을 용이하게 제거할 수 있다.

<68> 상기 공정 단계들을 수행하여 표면에 원하지 않는 물질 또는 막들이 제거된 텅스텐으로 형성되는 게이트 전극을 완성할 수 있다.

<69> 실시예 3

<70> 도 6a 내지 도 6g는 본 발명의 제3 실시예에 따른 반도체 장치의 도전성 구조물을 형성하는 방법을 나타내는 단면도들이다.

<71> 상기 도전성 구조물은 반도체 장치를 구성하는 요소인 워드 라인 및 비트 라인을 포함한다. 그리고, 상기 제3 실시예의 방법은 도전막 상에 실리콘 질화막을 더 형성하는 것을 제외하고는 상기 실시예2의 방법과 거의 동일하다.

<72> 도 6a를 참조하면, 반도체 기판(350) 또는 소자들이 형성되어 있는 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막 및 실리콘 질화막(354)을 순차적으로 증착한다. 상기 텅스텐을 주성분으로 하는 도전막은 텅스텐막 및 텅스텐 실리사이드막을 포함한다. 이하에서는, 상기 텅스텐을 주성분으로 하는 도전막을 텅스텐막으로 한정하여 설명한다. 텅스텐막(352)은 스퍼터링 방식 또는 화학 기상 증착 방식에 의해 형성할 수 있다. 여기

서, 상기 텅스텐막(352)을 형성한 이 후에 실시예 1에서 설명한 것과 같이 질화 및 산화 처리 후 세정하는 공정을 더 수행한 다음, 상기 실리콘 질화막(354)을 형성할 수도 있다.

<73> 도 6b를 참조하면, 상기 실리콘 질화막(354)상에, 도전성 패턴이 형성되어야 하는 부위를 선택적으로 마스킹하는 포토레지스트 패턴(356)을 형성한다. 이어서, 상기 포토레지스트 패턴(356)을 식각 마스크로하고, 상기 실리콘 질화막(354) 및 텅스텐막(352)을 순차적으로 식각하여 텅스텐 패턴(352a) 및 실리콘 질화막 패턴(354a)이 적층된 구조물(358)을 형성한다.

<74> 도 6c를 참조하면, 상기 실리콘 질화막 패턴(354a)상에 남아있는 포토레지스트 패턴(356)을 제거한다. 그런데, 상기 포토레지스트 패턴(356)을 제거하는 공정을 수행하는 중에, 상기 노출된 텅스텐은 산소와 쉽게 반응하여 상기 텅스텐 패턴(354a)의 표면에는 원치않는 텅스텐 산화물(360)이 형성된다. 즉, 상기 공정을 수행한 결과, 표면에 원치않는 텅스텐 산화물(360)이 상기 텅스텐 패턴의 측면에 부분적 또는 전체적으로 형성된다.

<75> 도 6d를 참조하면, 텅스텐 산화물(360)이 측면에 형성되어 있는 상기 텅스텐 패턴(354a)을 포함하는 상기 반도체 기판(350)을 질화 처리하여, 상기 텅스텐 패턴(354a)의 표면을 텅스텐 질화막(362)으로 형성한다. 상기 질화 처리는 통상의 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정에 의해 수행할 수 있다.

<76> 도 6e를 참조하면, 상기 표면에 텅스텐 질화막(362)이 형성되어 있는 상기 텅스텐 패턴(354a)을 포함하는 상기 반도체 기판(300)을 산화시켜, 상기 텅스텐 패턴(354a)의

측면으로부터 일정 두께만큼 텅스텐 산 질화막(364, W0xNy)으로 형성한다. 상기 산화 처리는 통상의 급속 열적 산화(RTO) 공정 또는 플라즈마 공정에 의해 수행할 수 있다.

<77> 도 6f를 참조하면, 상기 텅스텐 패턴(354a)의 측면으로부터 일정 두께만큼 형성되어 있는 상기 텅스텐 산 질화막(364)을 실리콘 산화막을 식각할 수 있는 식각액을 사용하여 식각한다. 상기 식각액을 사용할 경우, 상기 텅스텐 패턴(354a)은 거의 식각되지 않으면서, 텅스텐 패턴(354a)의 표면에 형성된 원치않는 막들을 용이하게 제거할 수 있다.

<78> 도 6g를 참조하면, 상기 과정을 거쳐 형성되는 텅스텐 패턴(354a)을 포함하는 구조물(358)의 측벽에 질화막 스페이서(368)를 형성한다. 이어서, 상기 구조물을 매몰하는 층간 절연막(370)을 형성한다. 상기 텅스텐 패턴(364a) 상에 형성되는 질화막 패턴(354a) 및 상기 텅스텐 패턴(364a)의 측벽에 형성되는 질화막 스페이서(368)는 상기 층간 절연막(370)을 형성할 때 상기 텅스텐 패턴(364a)을 산화시키지 않도록 하는 보호막으로서 작용한다.

<79> 실시 예 4

<80> 도 7a 내지 도 7e는 본 발명의 제4 실시예에 따른 반도체 장치의 도전성 패턴 형성하는 방법을 나타내는 단면도들이다.

<81> 상기 도전성 패턴은 반도체 장치를 구성하는 요소인 워드 라인 및 비트 라인을 포함한다.

<82> 도 7a를 참조하면, 반도체 기판(400) 또는 소자들이 형성되어 있는 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막을 증착한다. 상기 텅스텐을 주성분으로 하는 도전막은 텅스텐막 및 텅스텐 실리사이드막을 포함한다. 이하에서는, 상기 텅스텐을 주성분으로 하는 도전막을 텅스텐막으로 한정하여 설명한다. 텅스텐막(402)은 스퍼터링 방식 또는 화학 기상 증착 방식에 의해 형성할 수 있다. 또는, 실시예 1에서 설명한 것과 같이 질화 및 산화 처리 후 세정하는 공정을 더 수행할 수도 있다.

<83> 도 7b를 참조하면, 상기 텅스텐막(402)상에 패턴이 형성되어야 하는 부위를 선택적으로 마스킹하는 포토레지스트 패턴(404)을 형성한다. 이어서, 상기 포토레지스트 패턴(404)을 식각 마스크로하고, 상기 텅스텐막(402)을 순차적으로 식각한다. 상기 공정에 의해 상부에 포토레지스트 패턴(404)이 개재되어 있는 텅스텐 패턴(402a)을 형성한다.

<84> 도 7c를 참조하면, 상기 포토레지스트 패턴이 개재되어 있는 텅스텐 패턴(402a)을 질화 처리하여, 상기 텅스텐 패턴(402a)에서 노출되어 있는 측면 부위를 일정 두께만큼 텅스텐 질화막(406)으로 형성한다. 상기 질화 처리는 통상의 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정에 의해 수행할 수 있다.

<85> 도 7d를 참조하면, 상기 텅스텐 패턴(402a)의 상부에 남아있는 포토레지스트 패턴(404)을 산소를 포함하는 가스를 사용하여 제거한다. 이와 동시에, 상기 텅스텐 패턴(402a)의 측면에 형성되어 있는 텅스텐 질화막(406)은 상기 산소와 반응하여 텅스텐 산질화막(408)으로 형성된다. 상기 공정은 산소( $O_2$ ) 또는 오존( $O_3$ )을 사용한 플라즈마 에싱 공정에 의해 수행할 수 있다.

<86> 도 7e를 참조하면, 상기 텅스텐 패턴(402a)의 측면으로부터 일정 두께만큼 형성되어 있는 상기 텅스텐 산 질화막(408)을 실리콘 산화막을 식각할 수 있는 식각액을 사용

하여 식각한다. 상기 식각액을 사용할 경우, 상기 텅스텐 패턴(402a)은 거의 식각되지 않으면서, 텅스텐 패턴(402a)의 표면에 형성된 원치않는 막들을 용이하게 제거할 수 있다.

<87> 실시예 4의 방법에 의하면, 텅스텐막의 표면 처리를 위해 수행하는 산화 공정과 포토레지스트 패턴의 제거 공정이 동시에 수행되므로, 공정이 단순화되는 효과가 있다.

<88> 실시예 5

<89> 도 8a 내지 도 8f는 본 발명의 제5 실시예에 따른 반도체 장치의 도전성 구조물을 형성하는 방법을 나타내는 단면도들이다.

<90> 상기 도전성 구조물은 반도체 장치를 구성하는 요소인 워드 라인 및 비트 라인을 포함한다. 그리고, 상기 제5 실시예의 방법은 도전막 상에 실리콘 질화막을 더 형성하는 것을 제외하고는 상기 실시예4의 방법과 거의 동일하다.

<91> 도 8a를 참조하면, 반도체 기판(450) 또는 소자들이 형성되어 있는 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막 및 실리콘 질화막(454)을 순차적으로 증착한다. 상기 텅스텐을 주성분으로 하는 도전막은 텅스텐막 및 텅스텐 실리사이드막을 포함한다. 이하에서는, 상기 텅스텐을 주성분으로 하는 도전막을 텅스텐막으로 한정하여 설명한다. 텅스텐막(452)은 스퍼터링 방식 또는 화학 기상 증착 방식에 의해 형성할 수 있다. 여기서, 상기 텅스텐막(452)을 형성한 이 후에 실시예 1에서 설명한 것과 같이 질화 및 산화 처리 후 세정하는 공정을 더 수행한 다음, 상기 실리콘 질화막(454)을 형성할 수도 있다.

<92> 도 8b를 참조하면, 상기 실리콘 질화막(454)상에, 도전성 패턴이 형성되어야 하는 부위를 선택적으로 마스킹하는 포토레지스트 패턴(456)을 형성한다. 이어서, 상기 포토레지스트 패턴(456)을 식각 마스크로하고, 상기 실리콘 질화막(454) 및 텅스텐막(452)을 순차적으로 식각하여 텅스텐 패턴(452a) 및 실리콘 질화막 패턴(454a)이 적층된 구조물(458)을 형성한다. 상기 공정을 수행하고 난 후, 상기 구조물의 상부에는 포토레지스트 패턴(456)이 개재되어 있다.

<93> 도 8c를 참조하면, 상기 포토레지스트 패턴(456)이 개재되어 있는 구조물(458)을 질화 처리하여, 상기 텅스텐 패턴(454a)에서 노출되어 있는 측면 부위를 일정 두께만큼 텅스텐 질화막(462)으로 형성한다. 상기 질화 처리는 통상의 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정에 의해 수행할 수 있다.

<94> 도 8d를 참조하면, 상기 구조물(458)의 상부에 남아있는 포토레지스트 패턴(456)을 산소를 포함하는 가스를 사용하여 제거한다. 이와 동시에, 상기 텅스텐 패턴(452a)측면에 형성되어 있는 텅스텐 질화막(462)은 상기 산소와 반응하여 텅스텐 산 질화막(464)으로 형성된다. 상기 공정은 산소( $O_2$ ) 또는 오존( $O_3$ )을 사용한 플라즈마 에칭 공정에 의해 수행할 수 있다.

<95> 도 8e를 참조하면, 상기 텅스텐 패턴(452a)의 측면에 일정 두께만큼 형성되어 있는 상기 텅스텐 산 질화막(464)을 실리콘 산화막을 식각할 수 있는 식각액을 사용하여 식각 한다. 상기 식각액을 사용할 경우, 상기 텅스텐 패턴(452a)은 거의 식각되지 않으면서, 텅스텐 패턴(452a)의 표면에 형성된 원치않는 막들을 용이하게 제거할 수 있다.

<96> 도 8f를 참조하면, 상기 과정을 거쳐 형성되는 텅스텐 패턴(352a)을 포함하는 구조물(458)의 측벽에 질화막 스페이서(368)를 형성한다. 이어서, 상기 구조물을 매몰하는

충간 절연막(470)을 형성한다. 상기 텅스텐 패턴(452a) 상에 형성되는 질화막 패턴(454a)과 상기 텅스텐 패턴(452a)의 측벽에 형성되는 질화막 스페이서(468)는 상기 충간 절연막(470)을 형성할 때 상기 텅스텐 패턴(452a)을 산화시키지 않도록 하는 보호막으로서 작용한다.

<97> 종래에는, 상기 텅스텐 패턴을 형성하고 이 후의 일련의 공정들을 수행할 때 상기 텅스텐 패턴 표면에 원치않는 산화 텅스텐 물질이 형성되면, 상기 산화 텅스텐물질은 매우 안정적인 결합 구조를 가지므로 식각액이나 식각 가스에 의해 제거하기가 매우 어려웠다. 그로 인해, 상기 텅스텐 패턴의 표면에 형성된 상기 산화 텅스텐 물질이 후속의 열 공정에 의해 비정상적으로 성장되어 인접한 텅스텐 패턴간의 브릿지 불량을 유발하였다.

<98> 그러나, 상기 설명한 방법에 의해 상기 텅스텐 패턴을 표면 처리하여 상기 텅스텐 패턴 표면에 형성되어 있는 원치않는 막들을 제거함으로서, 후속 공정들을 진행하더라도 상기 텅스텐 패턴 간의 브릿지 불량등을 미연에 방지할 수 있다.

<99> 비교 실험

<100> 도 9는 본 발명의 방법에 따라 형성된 텅스텐막에서의 반사 강도(R.I)와 종래의 방법에 따라 형성된 텅스텐막에서의 반사 강도(R.I)를 비교하는 그래프도이다.

<101> 상기 텅스텐막의 반사 강도는 상기 텅스텐막 상에 원치않는 막이 형성되어 있는지 여부를 간접적으로 나타내는 데이터이다. 즉, 상기 텅스텐막 상에 산화물 또는 질화물 등이 형성되어 있을 경우 상기 반사 강도는 낮아진다. 도면 부호 400은 본 발명의 방법

에 의한 각 단계별 반사 강도를 나타내고, 도면 부호 402는 종래의 방법에 의한 각 단계별 반사 강도를 나타낸다.

<102> 도 9를 참조하면, 상기 텅스텐막을 증착한 이 후에 상기 텅스텐막의 표면에서 반사 강도를 측정하면 약 80%로 측정된다.(증착후, 400, 402 참조) 상기 증착된 텅스텐막에  $\text{NH}_3$ 를 반응 가스로 하여 플라즈마 공정을 수행하한 후에 상기 막의 표면에서 측정된 반사 강도는 상기 텅스텐막을 증착한 이후에 측정한 반사 강도와 거의 차이가 없었다. (질화 처리후, 400 참조)

<103> 상기 텅스텐막을 증착한 이 후에, 상기  $\text{NH}_3$ 를 반응 가스로 하여 플라즈마 공정을 생략하고 산소 플라즈마에 의한 에싱 공정을 수행하면, 상기 막에서의 반사 강도가 약 30%가 된다. (1차 에싱후, 402 참조) 또한, 상기 텅스텐막을 증착한 이 후에, 상기  $\text{NH}_3$ 를 반응 가스로 하여 플라즈마 공정을 수행하고 이어서, 산소 플라즈마에 의한 에싱 공정을 수행하더라도 상기 막에서의 반사 강도는 약 30%가 된다. (1차 에싱후, 400 참조) 이러한 결과는, 상기 에싱 공정을 수행하는 중에 상기 텅스텐막의 표면에는 산소와 텅스텐의 반응물이 형성되는 것을 간접적으로 보여주는 것이다. 또한, 에싱 공정을 반복하여 더 수행하더라도 각각의 반사 강도는 올라가지 않음을 보여준다.(2차 에싱후, 400, 402 참조)

<104> 이어서, 상기 에싱 공정이 수행된 텅스텐막을 불산 수용액에 150초 동안 침지하여 세정한 이 후에 반사 강도를 측정하였다. 그 결과, 상기 텅스텐 막에  $\text{NH}_3$ 를 반응 가스로 한 플라즈마 공정을 생략한 경우에는, 상기 불산 수용액에 의해 세정 공정을 수행하더라도 반사 강도가 약 50% 정도 밖에 되지 않았다.(식각액 처리후, 402 참조) 그러나. 상기 텅스텐 막에  $\text{NH}$

<sub>3</sub>를 반응 가스로 한 플라즈마 공정을 수행한 경우에는, 상기 불산 수용액에 의해 세정 공정을 수행한 후에 반사 강도가 약 80% 정도로 측정되었다.(식각액 처리후, 400 참조) 상기 결과는 상기 텅스텐막의 표면 처리에 의해 상기 텅스텐막 표면에 형성되는 반응물들이 제거되었음을 알려준다.

#### 【발명의 효과】

<105> 상술한 바와 같이 본 발명에 의하면, 텅스텐막 또는 패턴의 표면을 화학적으로 처리하여, 상기 텅스텐막 상에 형성되어 있는 산화물을 식각액에 의해 용이하게 식각되는 물질로 변화시킴으로서, 텅스텐막의 표면에 형성되어 있는 산화물들을 제거할 수 있다. 따라서, 상기 텅스텐막의 저항을 감소시킬 수 있으며, 상기 텅스텐막 표면에 형성되는 반응물에 의해 발생하는 불량들도 미연에 방지할 수 있다.

<106> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

i) 표면이 일부 산화되어 있는 텅스텐막이 형성되어 있는 반도체 기판을 질화시켜, 표면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

ii) 상기 텅스텐 질화막이 형성되어 있는 텅스텐막 표면을 산화시켜, 상기 표면에 노출되어 있는 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

iii) 상기 텅스텐 산 질화막을 제거하여, 표면에 텅스텐과 반응에 의해 생성된 반응물들이 제거된 텅스텐막을 형성하는 단계를 수행하는 것을 특징으로 하는 반도체 장치에 서 도전막 형성 방법.

**【청구항 2】**

제1항에 있어서, 상기 i) 단계는 상기 기판 상에 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정을 수행하여 달성하는 것을 특징으로 하는 반도체 장치의 도전막 형성 방법.

**【청구항 3】**

제2항에 있어서, 상기 플라즈마 공정은 NH<sub>4</sub>가스, NF<sub>4</sub> 및 N<sub>2</sub>가스 중 적어도 어느 하나를 반응 가스로 사용하고, 200 내지 1000W의 에너지를 가하여 수행하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 4】**

제1항에 있어서, 상기 ii) 단계는 상기 기판 상에 산소 가스를 사용하는 플라즈마 공정 또는 급속 열적 산화(RTO) 공정을 수행하여 달성하는 것을 특징으로 하는 반도체 장치의 도전막 형성 방법.

**【청구항 5】**

제1항에 있어서, iii) 단계에서 상기 텅스텐 산질화막은 산화막을 식각하는 식각액을 사용하여 제거하는 것을 특징으로 하는 반도체 장치의 도전막 형성 방법.

**【청구항 6】**

제5항에 있어서, 상기 식각액은 불산 또는 불산과 과산화 수소수의 혼합 용액을 포함하는 것을 특징으로 하는 반도체 장치의 도전막 형성 방법.

**【청구항 7】**

- i) 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막을 증착하는 단계;
- ii) 상기 도전막 상에 포토레지스트 패턴을 형성하는 단계;
- iii) 상기 포토레지스트 패턴을 식각 마스크로하고, 상기 도전막을 식각하여 도전성 패턴을 형성하는 단계;
- iv) 상기 도전성 패턴의 표면이 일부 산화되면서, 상기 포토레지스트 패턴을 제거하는 단계;
- v) 상기 표면이 일부 산화되어 있는 도전성 패턴을 질화시켜, 상기 도전성 패턴 표면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

vi) 상기 텅스텐 질화막이 표면에 형성되어 있는 도전성 패턴을 산화시켜, 상기 표면에 노출되어 있는 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

vii) 상기 텅스텐 산 질화막을 제거하여, 표면에 산화된 텅스텐이 제거된 도전성 패턴을 형성하는 단계를 수행하는 것을 특징으로 하는 반도체 장치에서 도전성 패턴 형성 방법.

#### 【청구항 8】

제7항에 있어서, 상기 도전막은 텅스텐막, 텅스텐 실리사이드막을 포함하는 것을 특징으로 하는 반도체 장치에서 도전성 패턴 형성 방법.

#### 【청구항 9】

제7항에 있어서, 상기 v) 단계는 상기 기판 상에 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정을 수행하여 달성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

#### 【청구항 10】

제9항에 있어서, 상기 플라즈마 공정은  $\text{NH}_4$ 가스,  $\text{NF}_4$  및  $\text{N}_2$ 가스 중 적어도 어느 하나를 반응 가스로 사용하고, 200 내지 1000W의 에너지를 가하여 수행하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

#### 【청구항 11】

제7항에 있어서, 상기 vi) 단계는 상기 기판 상에 산소 가스를 사용하는 플라즈마 공정 또는 급속 열적 산화(RTO) 공정을 수행하여 달성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 12】**

제7항에 있어서, vii) 단계에서 상기 텅스텐 산 질화막은 산화막을 식각하는 식각액을 사용하여 제거하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 13】**

제12항에 있어서, 상기 식각액은 불산 또는 불산과 과산화 수소수의 혼합 용액을 포함하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 14】**

제7항에 있어서, 상기 i) 단계에서 상기 도전막 상에 실리콘 질화막을 더 형성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 15】**

제7항에 있어서, 상기 vii) 단계를 수행한 이 후에 상기 도전성 패턴의 측면에 질화막 스페이서를 더 형성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 16】**

- i) 반도체 기판 상에 텅스텐을 주성분으로 하는 도전막을 증착하는 단계;
- ii) 상기 도전막 상에 포토레지스트 패턴을 형성하는 단계;
- iii) 상기 포토레지스트 패턴을 식각 마스크로하고 상기 도전막을 식각하여, 상부에 포토레지스트 패턴이 개재되어 있는 도전성 패턴을 형성하는 단계;
- iv) 상기 도전성 패턴을 질화시켜, 상기 도전성 패턴의 측면에 노출되어 있는 텅스텐을 텅스텐 질화막으로 형성하는 단계;

v) 상기 도전성 패턴 상부에 개재되어 있는 포토레지스트 패턴을 산소를 포함하는 가스를 사용하여 제거하고, 동시에 상기 표면에 노출된 텅스텐 질화막을 텅스텐 산 질화막으로 형성하는 단계;

vi) 상기 텅스텐 산 질화막을 제거하여, 표면에 형성되어 있는 산화물이 제거된 도전성 패턴을 형성하는 단계를 수행하는 것을 특징으로 하는 반도체 장치에서 도전성 패턴 형성 방법.

#### 【청구항 17】

제16항에 있어서, 상기 도전막은 텅스텐막, 텅스텐 실리사이드막을 포함하는 것을 특징으로 하는 반도체 장치에서 도전성 패턴 형성 방법.

#### 【청구항 18】

제16항에 있어서, 상기 iv) 단계는 상기 기판 상에 급속 열적 질화(RTN) 공정 또는 질화물을 포함하는 가스를 사용하는 플라즈마 공정을 수행하여 달성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

#### 【청구항 19】

제18항에 있어서, 상기 플라즈마 공정은  $\text{NH}_4$ 가스,  $\text{NF}_4$  및  $\text{N}_2$ 가스 중 적어도 어느 하나를 반응 가스로 사용하고, 200 내지 1000W의 에너지를 가하여 수행하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 20】**

제16항에 있어서, 상기 v) 단계는 상기 기판 상에 산소 또는 오존을 사용하는 플라즈마 공정을 수행하여 달성을 하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 21】**

제16항에 있어서, vi) 단계에서 상기 텅스텐 산질화막은 산화막을 식각하는 식각액을 사용하여 제거하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 22】**

제21항에 있어서, 상기 식각액은 불산 또는 불산과 과산화 수소수의 혼합 용액을 포함하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 23】**

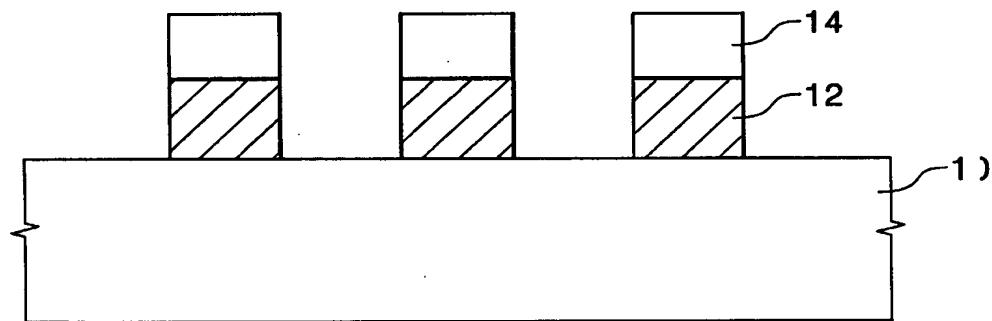
제16항에 있어서, 상기 i) 단계에서 상기 도전막 상에 실리콘 질화막을 더 형성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

**【청구항 24】**

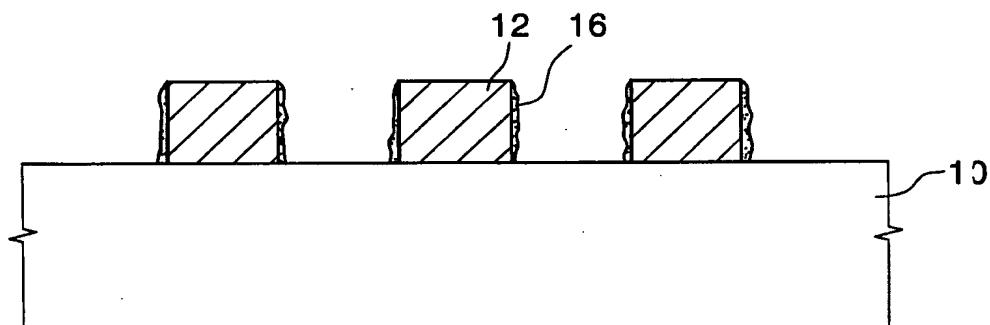
제16항에 있어서, 상기 vi) 단계를 수행한 이 후에 상기 도전성 패턴의 측면에 질화막 스페이서를 더 형성하는 것을 특징으로 하는 반도체 장치의 도전성 패턴 형성 방법.

## 【도면】

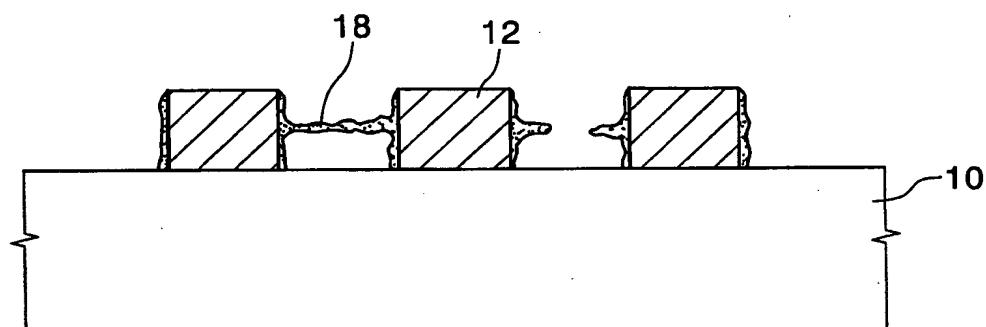
【도 1a】



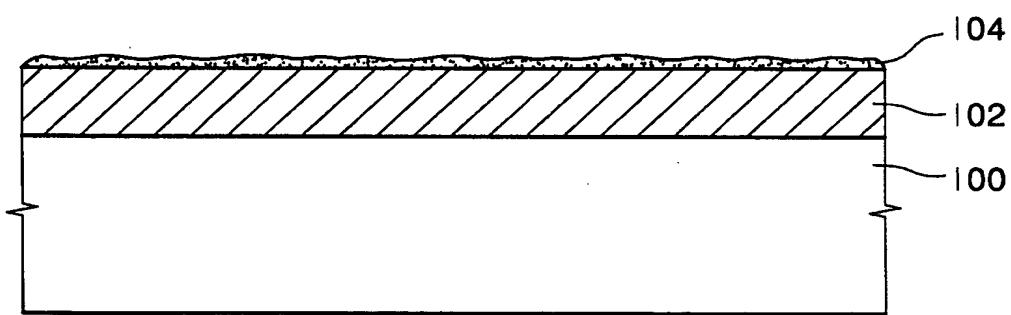
【도 1b】



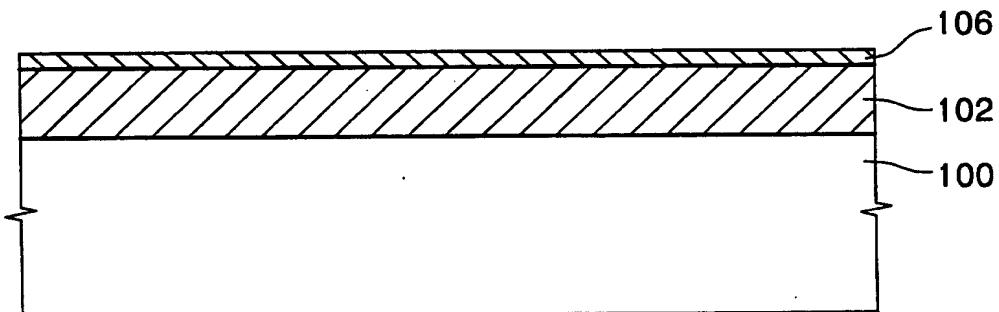
【도 2】



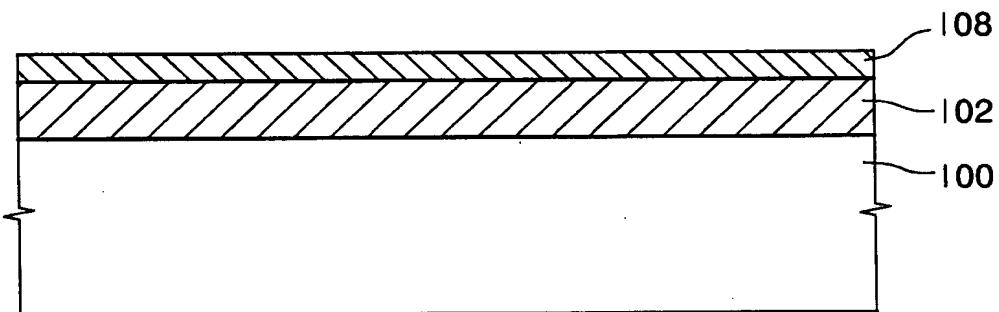
【도 3a】



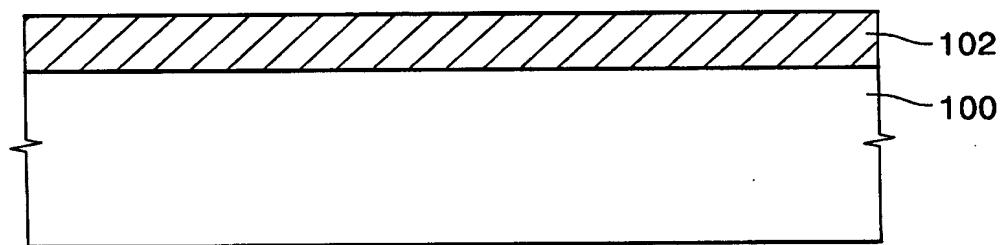
【도 3b】



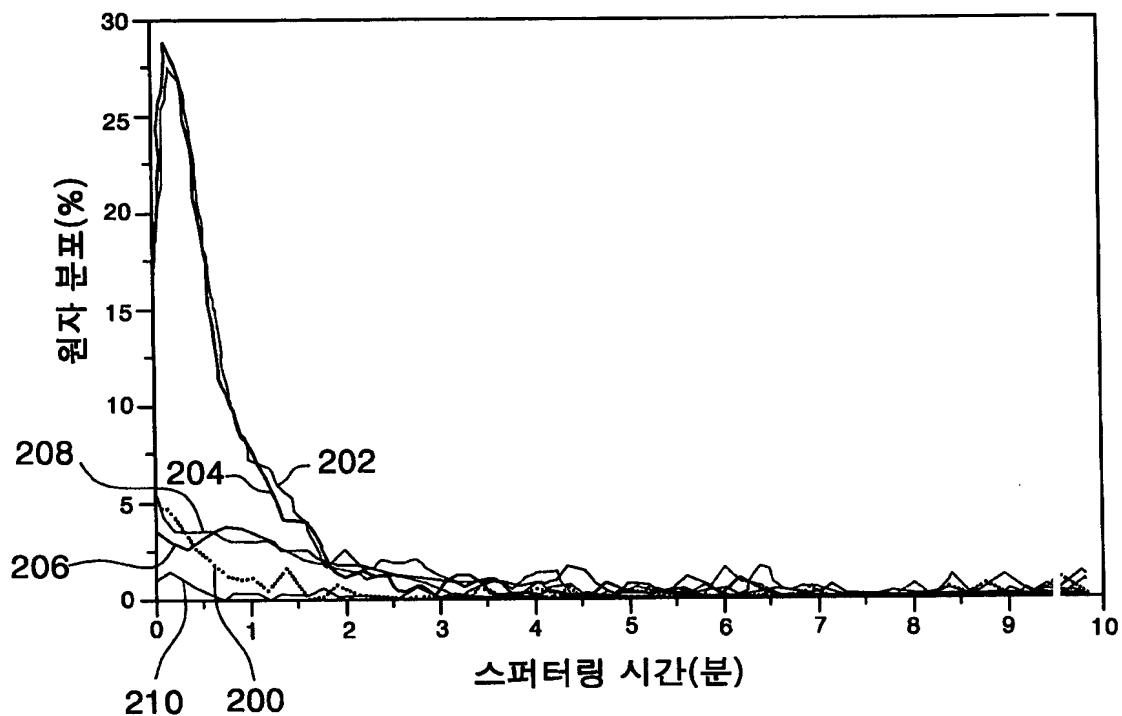
【도 3c】



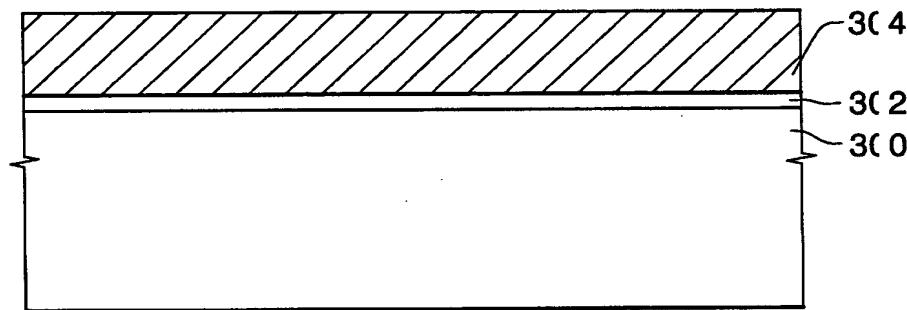
【도 3d】



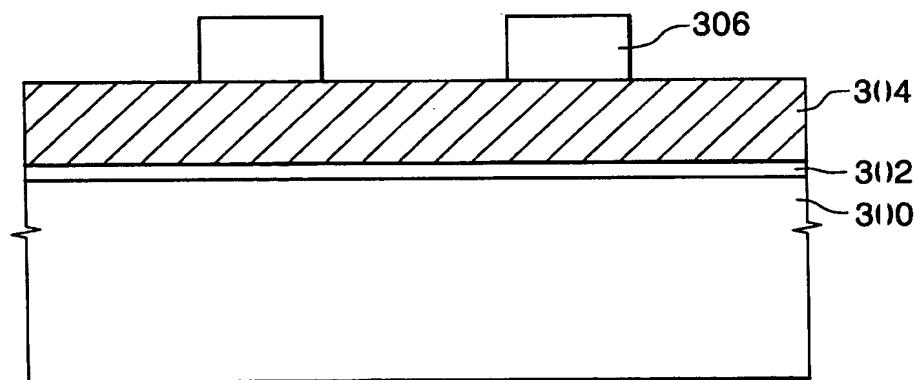
【도 4】



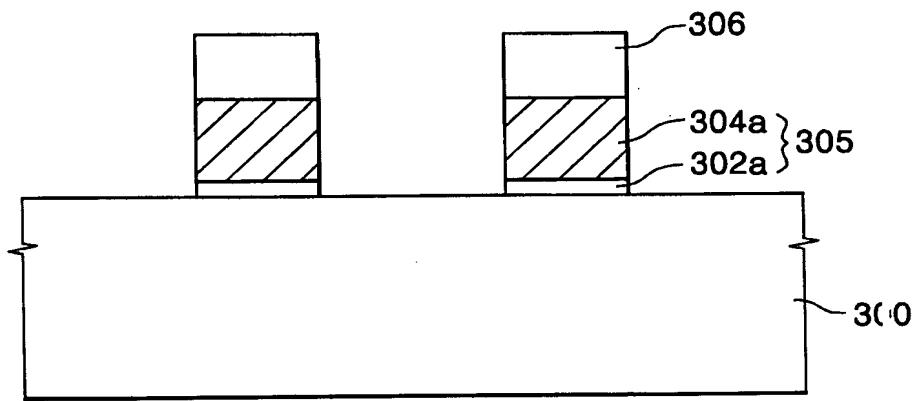
【도 5a】



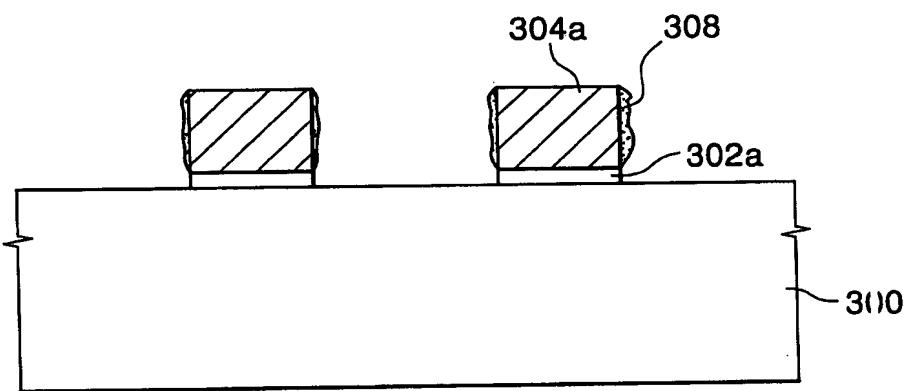
【도 5b】



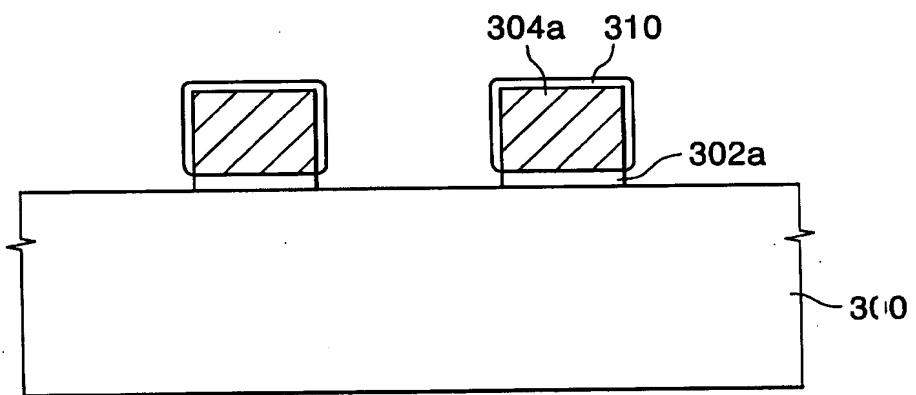
【도 5c】



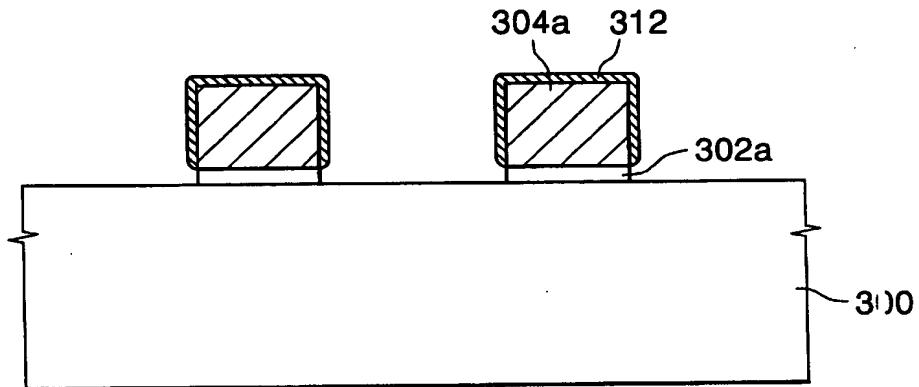
【도 5d】



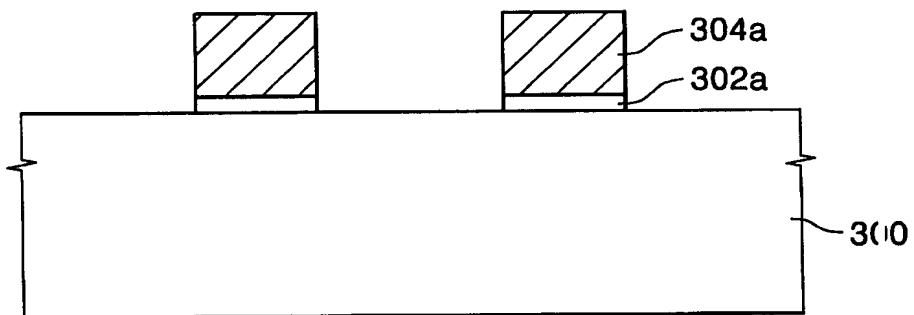
【도 5e】



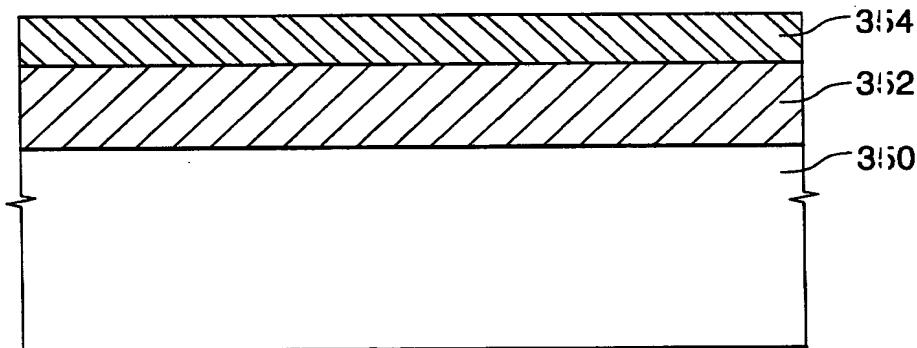
【도 5f】



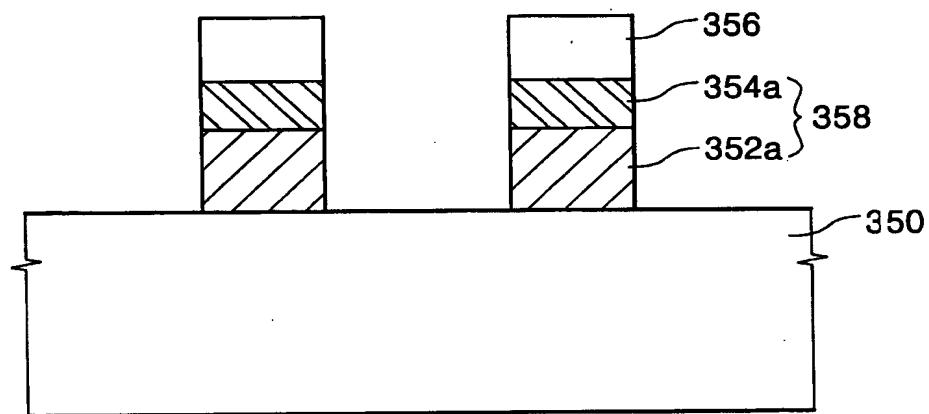
【도 5g】



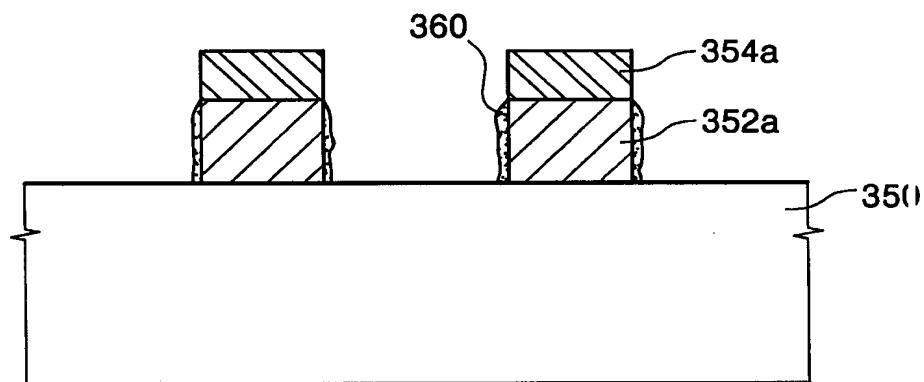
【도 6a】



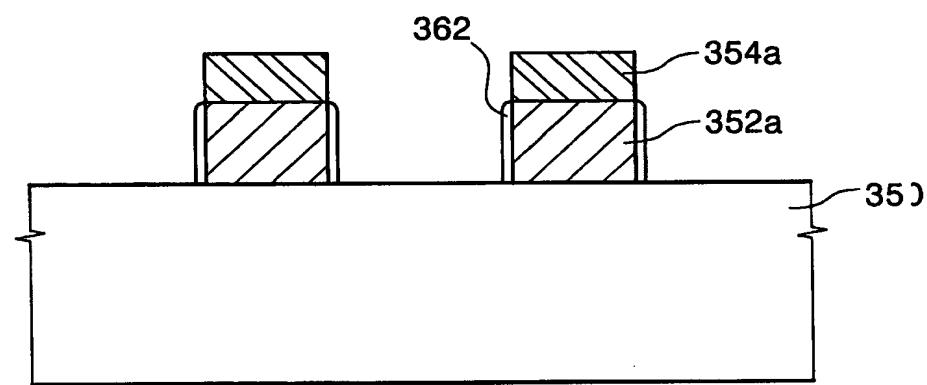
【도 6b】



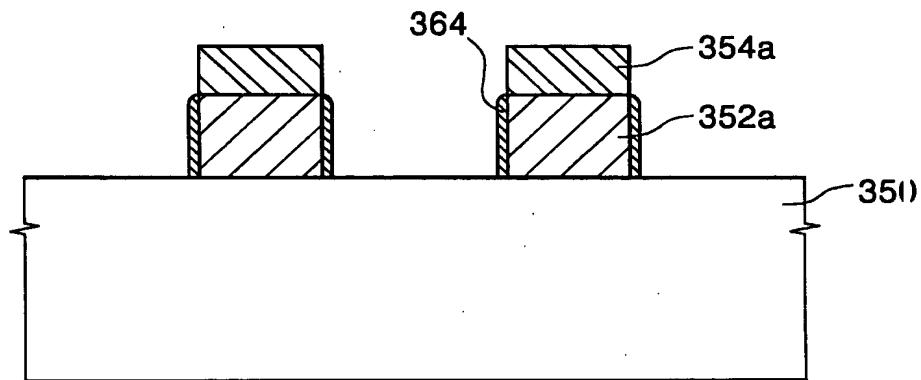
【도 6c】



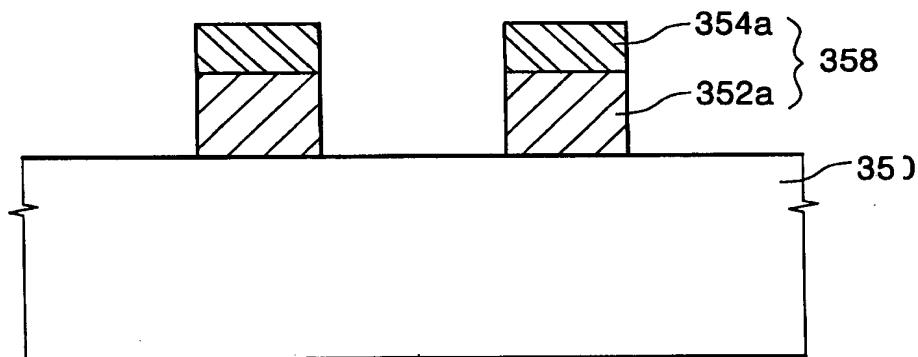
【도 6d】



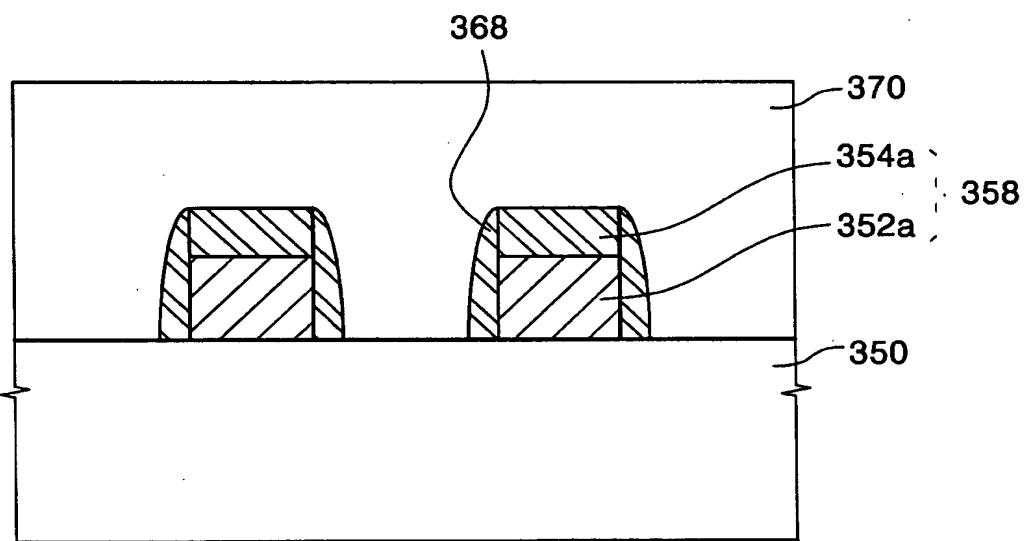
【도 6e】



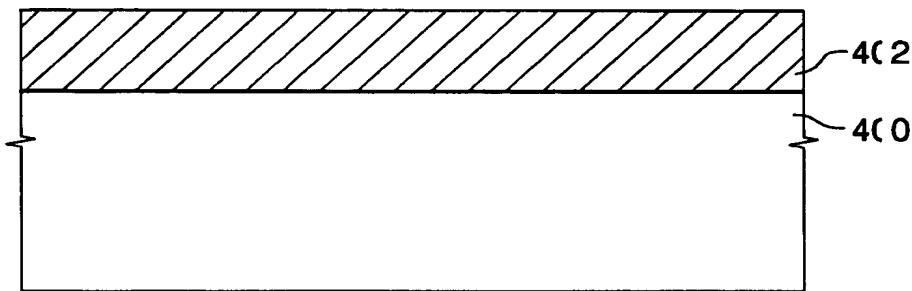
【도 6f】



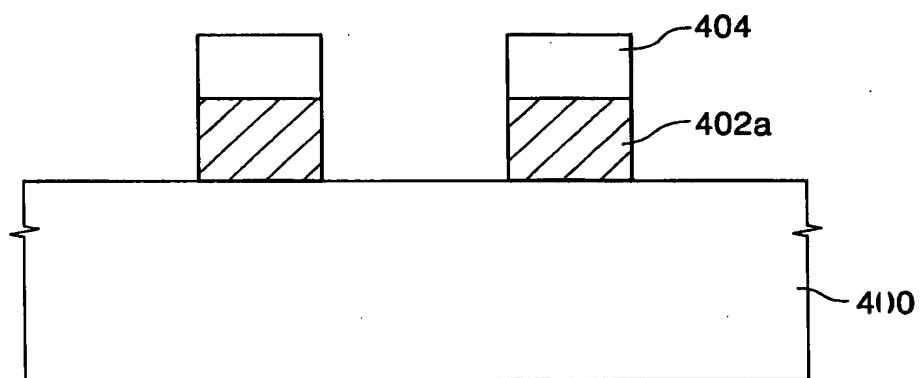
【도 6g】



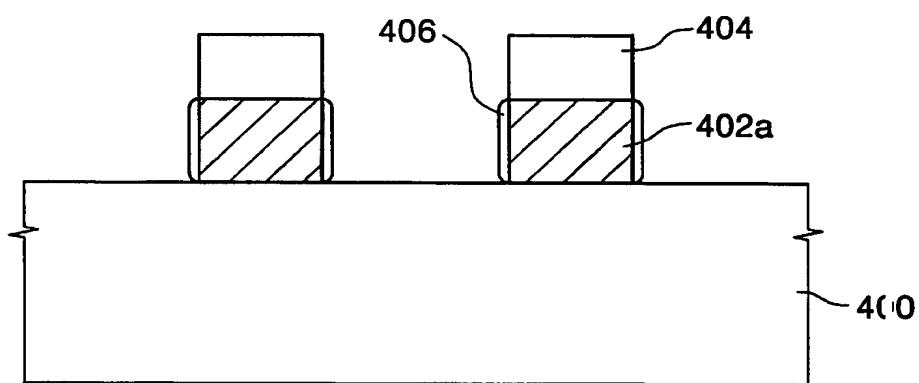
【도 7a】



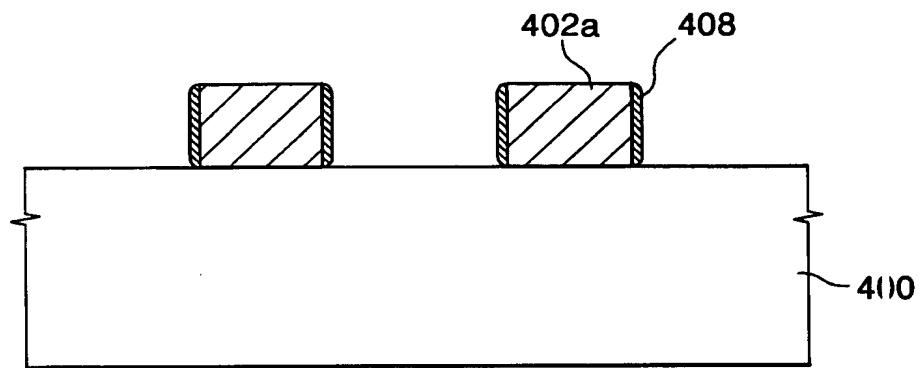
【도 7b】



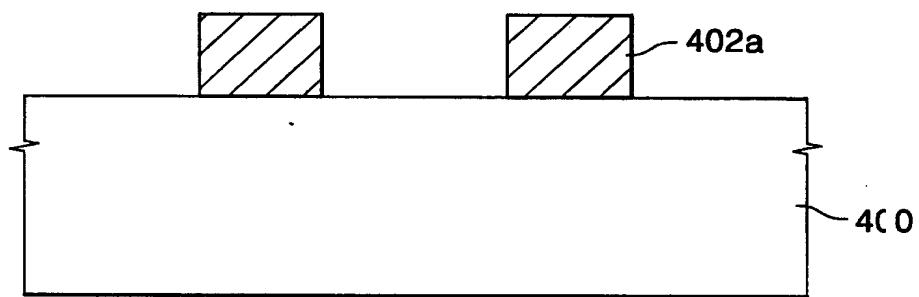
【도 7c】



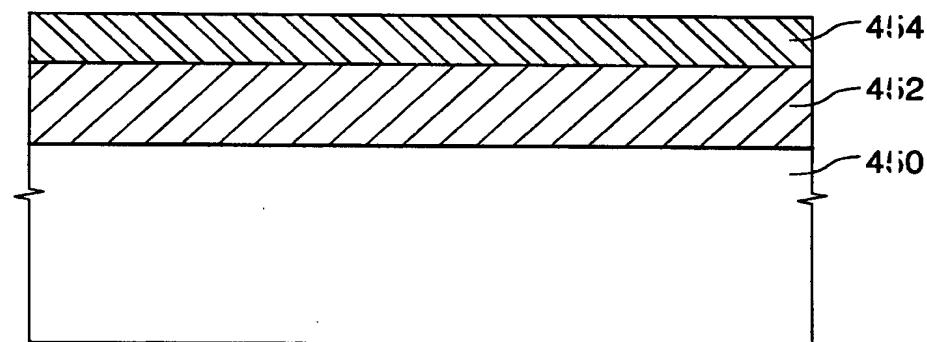
【도 7d】



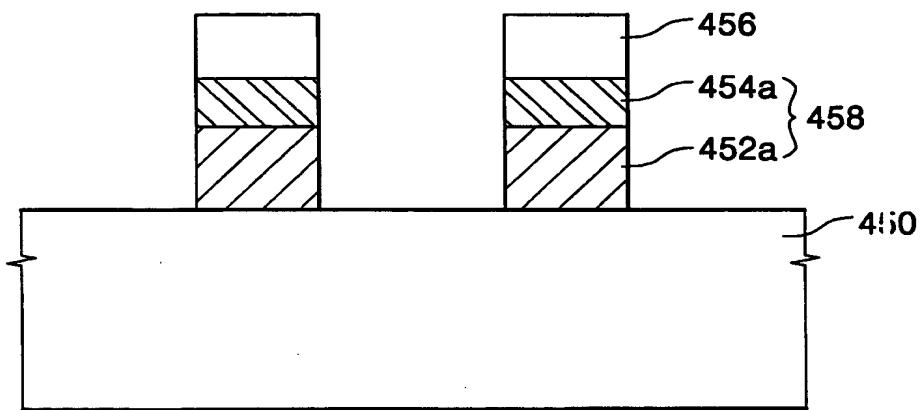
【도 7e】



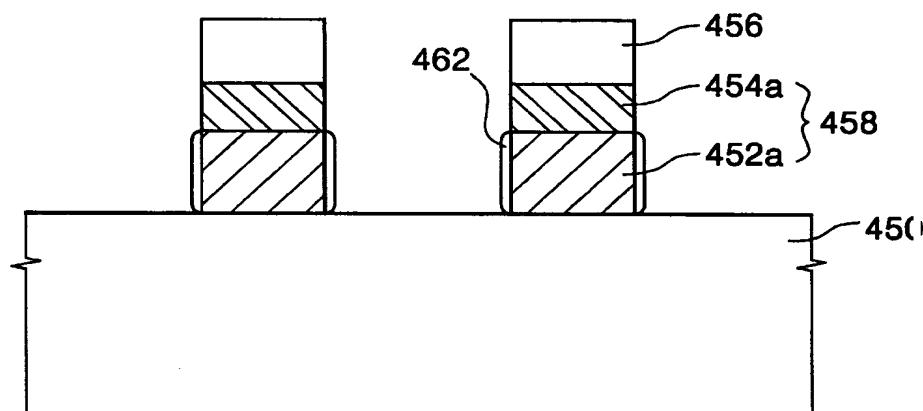
【도 8a】



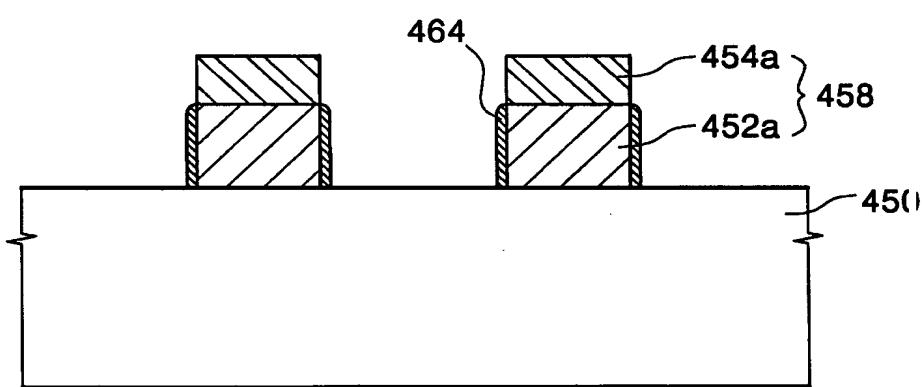
【도 8b】



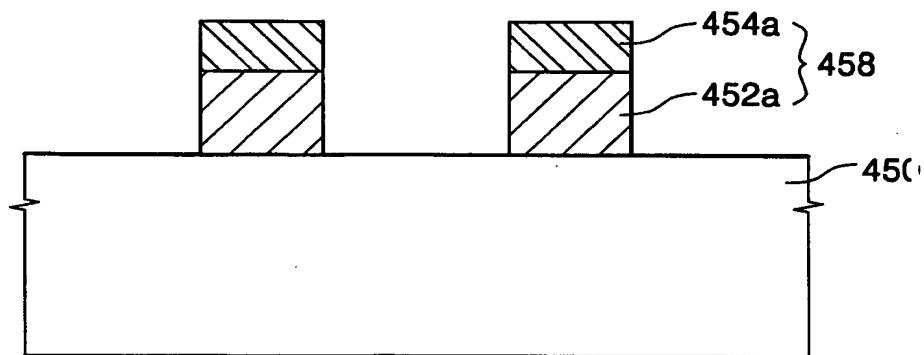
【도 8c】



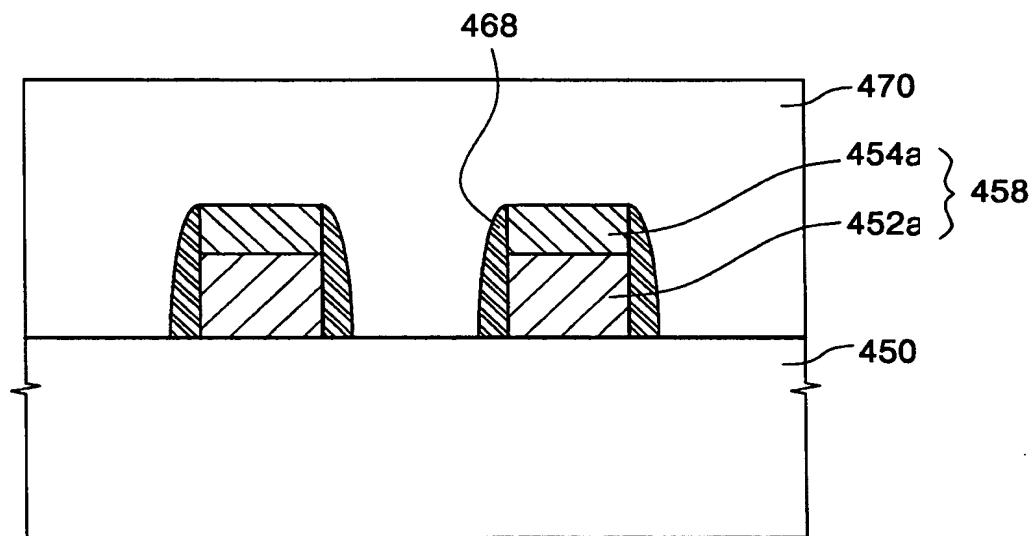
【도 8d】



【도 8e】



【도 8f】



【도 9】

